

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07153950 A

(43) Date of publication of application: 16.06.95

(51) Int Cl:

H01L 29/78
H01L 21/336
H01L 21/28
H01L 21/8238
H01L 27/092

(21) Application number: 05300451

(71) Applicant: NEC CORP

(22) Date of filing: 30.11.93

(72) Inventor: SAITO SHUICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

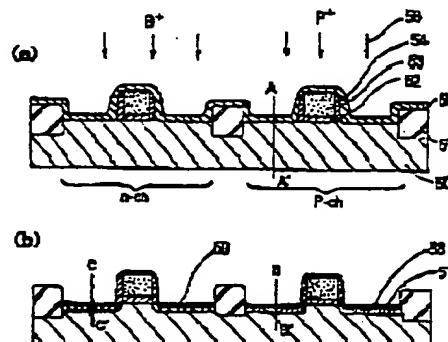
(57) Abstract

PURPOSE: To manufacture a semiconductor device having silicide structure capable of accommodating a fine device and having silicide layers having the same film thickness in PMOS and NMOS forming regions.

CONSTITUTION: Gate oxide films 2, gate electrodes 53 and sidewalls 54 are formed by using a normal MOS process, and a Co film 55 is deposited. Plasma forming ions at low voltage of 5keV or lower are used and doped. CoSi_2 is formed through heat treatment at 600°C, and unreacted Co is removed.

A P^+ diffusion layer 58 and an N^+ diffusion layer 59 are shaped through heat treatment at 800-900°C. When a shallow junction adaptable to the fine structure of a semiconductor device is formed, the film thickness of silicide CoSi_2 , can be formed in the same size without depending upon the kinds of impurities, thus preventing the deterioration of junction characteristics. A metallic layer is formed in the mixed layer or two layer structure of two kinds of metals, thus obviating the effect of a natural oxide film, then obtaining the above-mentioned effect more excellently.

COPYRIGHT: (C)1995,JPO



mimosa

(51)Int.Cl.

H01L 29/78

21/338

21/28

識別記号

府内整理番号

F:

技術表示箇所

301 T 8828-4M

7514-4M

9170-4M

H01L 29/78

301 P

27/08

321 E

審査請求 有 検索項目の数7 OL (全9頁) 最終頁に続く

(21)出願番号

特願平5-300451

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成5年(1993)11月30日

(72)発明者 斎藤 修一

東京都港区芝五丁目7番1号日本電気株式
会社内

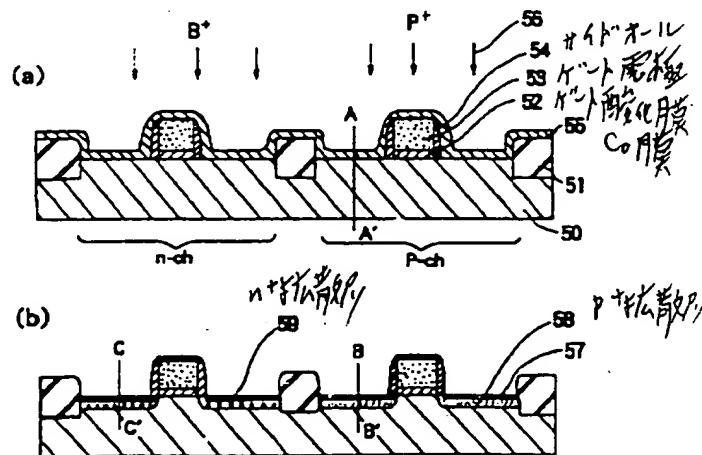
(74)代理人 弁理士 稲垣 清

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】微細デバイスに対応でき、pMOS及びnMOS形成領域で同じ膜厚を有するシリサイド層を持つシリサイド構造の半導体装置を製造する。

【構成】 通常のMOSプロセスを用いて、ゲート酸化膜52、ゲート電極53、サイドウォール54を形成後、Co膜55を堆積する。その後、数keV以下の低電圧のプラズマ形成イオンを用いてドーピングし、600°Cで熱処理を行ってCoSi₂を形成し、次いで、未反応Coを除去する。さらに800-900°Cで熱処理を行い、P+拡散層58及びN+拡散層59を形成する。半導体装置の微細構造に対応するシャロージャンクショーンの形成に際して、シリサイドCoSi₂の膜厚が不純物の種類によらず同じに形成でき、また、ジャンクション特性の低下が生じない。金属層を2種類の金属の混合層又は2層構造にすることにより、自然酸化膜の影響が除かれ、上記効果が更によく得られる。



【特許請求の範囲】

【請求項1】 シリコン基板の少なくともMOSトランジスター形成領域の全面に金属又は金属シリサイド層から成る導電層を形成する工程と、前記全面に形成された導電層内に選択的に、最大加速電圧が約5kV以下のイオンを用いて不純物を導入する工程と、前記不純物を熱処理により前記導電層から基板内に拡散する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記不純物導入工程で導入される不純物がプラズマ形成のイオンである、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記不純物導入工程がイオン選別をしないで行われる、請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記不純物導入工程が、nMOS形成領域及びpMOS形成領域の双方において夫々行なわれる、請求項1乃至3の一に記載の半導体装置の製造方法。

【請求項5】 前記導電層が、約40nm以下の膜厚の金属層又は約80nm以下の膜厚の金属シリサイド層である、請求項1乃至4の一に記載の半導体装置の製造方法。

【請求項6】 前記導電層が2層以上の積層構造である、請求項1及至5の一に記載の半導体装置の製造方法。

【請求項7】 前記導電層が2種以上の金属の混合層である、請求項1及至5の一に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に、MOSFETのソース・ドレイン領域をシリサイド化した半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 コジック系のCMOS半導体デバイスに、シリサイド構造を採用する例が増加している。MOSFETのシリサイド構造では、不純物導入による拡散層形成工程とシリサイド層形成工程の順序の前後によって、MOSFETの特性が大きく異なる。不純物を先に導入する方法は「先打ち法」と呼ばれ、シリサイド層を先に形成する方法は「後打ち法」と呼ばれている。まず、これらの方法を採用する従来技術について説明する。

【0003】 図9(a)～(c)は夫々、上記先打ち法を採用する第1の従来技術における各工程段階毎のCMOS半導体装置の断面図である。シリコン基板1の主面上に、素子分離用のフィールド酸化膜2を形成する。次に、ゲート酸化膜3を形成した後に、ポリシリコン膜を堆積し、これをバターニングすることによりゲート電極

4を形成する。次いで、酸化膜を堆積してこれをエッチバックすることにより、ゲート電極4の側部にサイドウォール5を形成する。次に、p-chMOS(pMOS)形成領域をレジストで覆い、n-chMOS(nMOS)のソース・ドレイン、またヒ素をイオン注入してp+拡散層6を形成する。

【0004】 その後、逆にnMOS形成領域をレジストで覆い、pMOSのソース・ドレイン領域にBF₂等を用いてボロンを導入し、p+拡散層7を形成する。次いで、熱処理を行って拡散層を活性化し、その後、シリコン基板1主面側の全面にTi膜8を堆積する。次いで、ランプアニールによりシリサイドTiSi₂を形成し、酸化膜2、5上の余剰Tiをエッチングにより除去する。その後さらにランプアニールにより高温の熱処理を行い、C54タイプのTiSi₂を形成する。これにより、Ti-シリサイド(p+)9及びTi-シリサイド(n+)10が形成される。

【0005】 図10(a)及び(b)は夫々、後打ち法を採用する第2の従来技術における工程段階毎の半導体装置の断面図である。シリコン基板11上にゲート酸化膜12を形成した後に、ポリシリコン膜を堆積し、これをバターニングしてゲート電極13を形成する。その後、Ti又はMo等の金属膜14を堆積し、次いで、nMOS形成領域にはヒ素注入を行ない、またpMOS形成領域にはSi₃N₄注入とそれに引き続きのB₂O₃注入を行ない、nMOS及びpMOSのソース・ドレイン領域を夫々形成する。

【0006】 上記イオン注入の際に、各イオンの飛程が金属層14とシリコン基板11との界面に一致するよう30にイオン注入のエネルギーを設定する。これによってイオン注入時に、金属原子とシリコン原子とが相互にミキシングを行い、シリサイド層が形成される。その後、余剰金属層をエッチングし、高温で熱処理を行ってさらにシリサイド層15の形成を促進する。この熱処理により、不純物も活性化されるために、拡散層16も同時に形成される。

【0007】 図11(a)及び(b)は、図10(b)のA-A'断面における不純物プロファイルを、nMOS及びpMOSの夫々について示す。同図に見られるように、イオン注入をシリサイド層15とシリコン基板11との界面に向けて行うので、不純物As及びBのピークは夫々の界面に位置している。このため、シリサイド層15と拡散層16とのコントラクト抵抗が低減されることになる。また、イオンミキシングを効果的に行うためにもイオン注入は界面に向けて行う必要がある。

【0008】 第2の従来技術の変形例として別の後打ち法がある。この方法では、シリサイド層を形成した後にイオン注入を行って拡散層を形成する。この場合、不純物イオンをシリサイド層と基板シリコンとの界面に向けてイオン注入する。これにより、先に示した第1の従来

技術の例とは異なり、p MOS 形成領域及びn MOS 形成領域間で同一の膜厚のシリサイド層が形成され、また図11 (a) 及び (b) に示したと同様な不純物プロファイルが得られる。

【0009】図12は、後打ち法を採用する第3の従来技術の方法で形成されるソース・ドレイン領域のシリサイド構造の断面を示す。この構造は、例えば、特開昭6-2-62555号公報に記載されている。シリコン基板21の主面上に素子分離用の酸化膜22を形成し、次いで、ゲート酸化膜23を形成した後に、ゲート電極24を形成する。次に、n MOS 形成領域の基板上にタングステンを、またp MOS 形成領域の基板上にチタンを夫々堆積する。その後、熱処理を行ってタングステン及びチタンの各シリサイド層27、28を形成し、余剰金属を除去した後に、不純物をイオン注入する。n MOS 形成領域ではヒ素をW-シリサイド28中にイオン注入し、またp MOS 形成領域ではボロンをTi-シリサイド27及びその直下のシリコン基板21に同時にイオン注入する。

【0010】次いで、更に熱処理を行ってn+拡散層26及びp+拡散層25を形成する。この時、例えば、Ti-シリサイド層28の膜厚は100 nmであり、ボロンは30 KeVでドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ を注入する。また、W-シリサイド層の膜厚は120 nmであり、ヒ素は150 KeVでドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ を注入する。その後の熱処理は例えば1000°Cで20秒間行う。

【0011】

【発明が解決しようとする課題】図9に示した第1の従来技術の先打ち法では、シリサイド層9、10を拡散層7、6上に形成するため、シリサイド反応が拡散層濃度及びその種類に強く依存する。例えば、ヒ素の拡散層6上ではTi-シリサイドが形成されるシリサイド反応は抑制され、一方、ボロンの拡散層7上ではその反応速度に大きな遅れは見られない。従って、同じ熱処理条件においても、ヒ素の拡散層6上とボロンの拡散層7上では、形成されるシリサイド層9、10の膜厚が相互に異なるという問題がある。

【0012】図10に示した第二の従来技術の後打ち法では、金属層14を堆積した後のイオン注入により、そのミキシング効果でシリサイド層15を形成する。このシリサイド層の膜厚はイオン注入におけるドーズ量で決定されるので、p MOS 及びn MOS 形成領域間でシリサイド層の膜厚を相互に同じにできる。また、シリサイドを形成した後にイオン注入する後打ち法の場合でも、不純物の存在しない状態でシリサイド層を形成するために、シリサイド層の膜厚をn MOS 及びp MOS 形成領域間で相互に同じにできる。従って、第一の従来技術に存在する問題点は解決できる。

【0013】ところが、金属層又はシリサイド層と基板との界面に向けてイオン注入を行うために、金属原子が

ノックオン効果により基板領域にはじき出され、このはじき出された金属原子が拡散層のジャンクション特性を悪化させるという問題がある。その結果を1例として図11 (c) に示した。ジャンクションに逆方向電圧を印加した場合にリークする電流が大きく、また、金属層がシリサイド化していない場合に較べ、シリサイド層が存在する場合にはリーク電流が特に大きいことが理解できる。このように、後打ちの方法では、ジャンクションのリーク特性に問題が生ずる。

【0014】図12に示した第3の従来技術の後打ち法では、n MOS 形成領域については、薄いシリサイド層を用いてもそのシリサイド中にヒ素を導入できる。これは、ヒ素の質量が大きく、その飛程が小さいためである。従って、第2の従来技術で述べたようなジャンクション特性の低下の問題は、このn MOS 形成領域では生じない。また、p MOS 形成領域では、イオン注入にボロンを用いており、ボロンの質量が小さいことから、従来、ボロンのノックオン効果によるジャンクション特性の低下の問題は生じなかった。

【0015】ところが、高集積化及び低消費電力化の要請に従ってデバイスが現在以上に微細化かつ低電圧化されると、リーク電流をさらに減少させる必要があり、質量が小さなボロン元素によるノックオン効果の影響も無視できない問題となり得る。さらに、上記第3の従来技術では、タングステンシリサイド層を形成した後に、このシリサイド層中にヒ素をイオン注入し、そこからヒ素を基板シリコン中へ拡散させている。しかし、通常の方法でタングステンを堆積し、これに熱処理を行ってシリサイド化させると、形成されたシリサイド層と基板シリコンとの界面に酸化膜が部分的に残る。この酸化膜がヒ素の拡散を抑制するために、不純物拡散量の不均一性が発生する懸念があり、安定な特性の再現性が問題となる。

【0016】本発明の目的は、以上のような問題を解決し、特に微細構造の半導体装置における、浅いジャンクションを有するMOSFETのシリサイド構造について、安定な特性を実現するための半導体の製造方法を提供することである。

【0017】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体装置製造方法は、シリコン基板の少なくともMOSトランジスター形成領域の全面に金属又は金属シリサイド層から成る導電層を形成する工程と、前記全面に形成された導電層内に選択的に、最大加速電圧が約5 kV以下のイオンを用いて不純物を導入する工程と、前記不純物を熱処理により前記導電層から基板内に拡散する工程とを含むことを特徴とする。

【0018】本発明の半導体装置の製造方法の原理について、その好適な実施態様を例として説明する。この製造方法は、特に微細なMOS型半導体装置の製造において

て、質量が極めて小さな不純物イオンについてもそのノックオン効果を防止するために適用される。まず、不純物の導入されていないシリコン基板のMOSFET形成領域の全面に、薄い金属膜あるいはシリサイド層から成る導電層を形成する。その後、これらの金属膜あるいはシリサイド層中にのみ不純物を導入する。この時、通常のイオン注入法を用いると、一般に質量が小さなp型不純物は、薄い金属膜あるいはシリサイド層には数KV以下でイオン注入しなければならないが、このような注入条件では通常のイオン注入装置の場合には装置の安定性及び大電流化が困難であるために、その実用化が困難である。

【0019】そこで本発明の好適な態様では、数KVの電圧が印加されたプラズマから取り出した不純物イオンをこれら金属層又はシリサイド層から成る導電層中に導入することとした。この時、安定に不純物を導入でき、特に数十nm以下の浅い領域に、 10^{11} cm^{-2} 以上の高濃度の不純物を導入できることから、この方法は極めて有用である。また、このとき、シリコン基板のMOSFET形成領域の全面には金属層又はシリサイド層が堆積しているために、プラズマによるダメージも生じない。更に、不純物導入時に不純物が金属層又はシリサイド層中にのみ導入されるために、金属原子のシリコン基板中へのノックオンは生じないために、ジャンクション特性を劣化させることもない。なお、プラズマにより形成されるイオン注入に代えて、イオン選別をしない低電圧のイオン注入法を採用することも出来る。

【0020】ところで、従来方法で採用される、シリコン基板上に単に金属膜を堆積し、あるいは、その後に熱処理を行ってシリサイド層を形成する工程を採用すると、金属層又はシリサイド層とシリコン基板との間に自然酸化膜が形成される。この自然酸化膜は熱処理時に部分的に破れるが、このような界面に存在する酸化膜あるいは酸素の影響で不純物の拡散状態が大きく影響される。この影響を低減するために、本発明の更に好適な態様では、例えばシリコン基板上にまず、酸素と反応しやすい金属1を堆積し、さらにその上に実際に配線として使用するための金属2を堆積し、熱処理時に金属相互の拡散をさせる。これにより、シリコン基板上に金属2のシリサイドを形成し、その上に金属1のシリサイドを形成し、界面の酸素を除去することとする。その後、金属膜又はシリサイド層中に導入された不純物は、再現性良く、かつばらつきもない状態でシリコン基板中に拡散できる。導電層は、金属又は金属シリサイド層を2層以上の積層構造とすることに代えて、2種以上の金属の混合層を用いることも出来る。

【0021】

【作用】MOSFET形成領域の全面に形成された導電層に不純物を導入する不純物導入工程を、最大加速電圧が約5kV以下のイオンを用いたビングとして行うこと

により、微細化されたMOSFETの浅いジャンクションにおいても、質量の小さなイオンを導電層内にのみイオン注入することが出来るので、イオンによる金属原子のはじき出しの問題が生じず、特に微細構造の半導体装置においても、そのジャーン特性の低下が防止できる。特に、導電膜を構成する金属膜の膜厚が約40nm以下、あるいは、導電膜を構成するシリサイド層の膜厚が約80nm以下のときにも、金属イオンのはじき出しが生じず、本発明を採用する利点が大きい。

【0022】導電層を構成する金属膜を2層以上に形成すること、或いは、導電層を構成する金属膜を2種類以上の混合層として形成し、その金属を適当に選定すると、自然酸化膜の影響を小さく抑え、導電層から基板に導入される不純物のプロファイルを更に良好とし、且つ再現性よく形成することが出来る。

【0023】

【実施例】以下、本発明の好適な実施例について更に説明する。図1(a)は、本発明方法を実施するために採用された、プラズマを用いる不純物導入装置の構成図を示す。シリコン基板から成り、金属酸化膜又はシリサイド層がMOSFET形成領域の全面に形成された試料41を平行平板型の下部電極43に設置し、上部電極42及び下部電極43間に所定波形の電圧を印加する。同図(b)に、電源44からこの上部及び下部電極間に印加された電圧波形45を示した。電圧波形45は、波高値±Vの正極性及び負極性のパルスが、周期tcで発生するパルス列である。この波形45は、試料41が導電性の場合に効果的であり、試料41が導電性の場合には、単に直流電圧を印加するのみでよい。反応室内に、ガス系46からB₂H₆ガスを導入し、ボロンをイオン化する。電圧波形45のような電源電圧を用いた場合には、その電圧値が+Vの時点でボロンが試料41中に導入される。

【0024】図2に、本発明の効果を確認するために、イオンドーピング装置として使用した別のイオン導入装置の構成を示した。この装置では、イオン源47にガス系50からB₂H₆を導入し、これをイオン化する。この時イオンとしてはB⁺及びH⁺が発生する。これらのイオンをグリッド電極48により加速する。この時イオンの質量分離を行っていないので、全てのイオンが加速される。加速されたイオンが試料49中に全て導入される。従って、装置的には従来のイオン注入装置に較べて簡単であり、かつ低電圧にてもイオンの通路が極めて短いために安定である。

【0025】本発明の効果を確認するために、不純物導入装置として構成した上記2種類の装置を用いた。その結果、本発明の半導体装置の製造方法により良好な特性の半導体装置が得られた。以下、特に第1図の装置で本発明方法を実施した例について記述する。

【0026】図3(a)及び(b)は夫々、本発明の第

1の実施例の方法で作成した半導体デバイスの各工程段階毎の断面図である。シリコン基板50上に酸化膜51を形成した後に、7 nmの膜厚のゲート酸化膜52を形成した。その後、ポリシリコンを堆積し、これをバーニングしてゲート電極53を形成した。次いで、酸化膜を堆積し、これをエッチバックすることでサイドウォール54を形成した。ここまででは通常のMOS形成プロセスで作成した。この時、MOSFETのチャネル長は0.1-0.4 μmを採用した。次に、全面にCo膜55を20 nm堆積した。一般に、Coは特にシリコン基板上の酸化膜に強く影響を受けるので、試料をまずHF系の液で洗浄して酸化膜を除去した後に、窒素雰囲気中に保管し、スパッター装置内に導入した。その後、試料表面をスパッタリング法によってエッチングした。

【0027】次に、上記試料を第1図(a)の平行平板型のプラズマ発生装置内に導入し、pMOS形成領域にはドーピングイオン56としてボロン又はヒ素を用いたドーピングを行なった。ボロンの場合の導入条件は、加速電圧が2 kV、B₂H₆濃度が5000 ppm、サイクル時間t_cが5秒として行った。加速電圧としては今回2 kVを用いたが、加速電圧が高い方がドーピング効率はよい。しかし、加速電圧が5 kVを越えると、ドーピング直後の不純物が奥深く入り込むので、シャローヤンクションの形成には向きである。一方、nMOS形成領域に対しては、ドーピングイオン56としてリンを使用してドーピングした。リンの場合の導入条件は、加速電圧が2 kV、PH₃濃度が5000 ppm、サイクル時間t_cが7秒として行った。

【0028】上記ドーピングでは、nMOS形成領域のドーピング時にはpMOS形成領域をマスクで覆い、逆にpMOS形成領域のドーピング時にはnMOS形成領域をマスクで覆った。次に、600°Cで熱処理を行い、シリコン基板50と接しているCo膜55部分についてシリサイド化を行った。この時、pMOS形成領域及びnMOS形成領域のいずれでも、Co膜55の全てが熱反応によりCoSi_x膜に変えられていた。即ち、Co膜中にドーピングされた不純物の種類によらず、形成されるシリサイド層の膜厚は同じであった。引続き、酸化膜51、54上の未反応Co膜を除去した。

【0029】次に、さらに高温で熱処理を行い、CoSi_x膜の結晶性を改善すると共に、導入した不純物をシリコン基板中に拡散させた。この時の熱処理条件としては、800-900°Cで30分、あるいは1000°Cで10-30秒を採用した。その後、層間膜を400 nm堆積し、レジスト塗布、露光、現像工程を経てコントラクト孔を開口し、その後配線層を形成し、得られたMOSFETの特性を評価した。

【0030】図4(a)は、Co膜にボロン不純物を導入した直後の図3(a)のA-A'断面のボロン分布を、同図(b)は850°Cでの熱処理後の図3(b)の

B-B'断面のボロン分布を、また同図(c)は850°Cの熱処理後の図3(b)のC-C'断面のリン分布をそれぞれ示す。図4(a)から、ドーピング工程ではCo膜中にのみボロンが導入され、かつその濃度が10²¹ cm⁻³以上であることがわかる。その後、低温でのCo膜形成時にはボロンはまだほとんどシリコン基板中へは拡散していない。

【0031】引続き行われる高温の熱処理により、同図(b)に示すように、ボロンはシリコン基板中に拡散している。ジャンクションの位置としては、シリサイド表面から約61 nmに形成されており、極めて浅いジャンクションが形成されている。また、このジャンクション特性を調べたところ、ボロンを通常のイオン注入法でCo膜界面に導入した試料と比較すると、リーク電流が約1桁程度低減されており、本発明方法の効果が確認された。一方、nMOS形成領域にリンをドーピングした場合、図4(c)に示すように、ジャンクションの深さとしてはシリサイド表面から約60 nmであり、pMOS形成領域のジャンクションの深さと大差なく、またリーク電流も充分に小さくジャンクション特性の良好なことが確認された。更に、プラズマによるダメージは、ボロン及びリンの導入の何れについても特にみられなかつた。

【0032】上記実施例の方法では、Co堆積前のシリコン基板上の自然酸化膜を十分注意しながら除去し、またその時のダメージも除去しているために、シリコン基板中の不純物の拡散やそのジャンクション特性に特に問題はなかった。従って、自然酸化膜の除去及びその後の酸化を抑制する経済的な技術を確立することにより、再現性の高い量産が可能である。

【0033】上記第1の実施例では、金属膜堆積前のシリコン基板表面の自然酸化膜の除去に注意を払いながら試料作製を行った。次に説明する本発明の第2の実施例は、この自然酸化膜による影響を除去し、不純物の拡散を再現性良く行うことが出来る方法である。図5(a)～(c)は、この第2の実施例の方法を示すための各工程段階毎の半導体装置の断面図である。シリコン基板60上に素子分離のためのフィールド酸化膜61を形成した後に、ゲート酸化膜62を80 nm形成し、次いで、ゲート電極63を形成した。この時チャネル長として0.15-0.5 μmを採用した。

【0034】次いで、試料全面に酸化膜を堆積後、エッチバックを行ってサイドウォール64を形成した。次に、試料全面にTi膜65を10 nm、Co膜66を20 nm、Ti膜67を10 nm順次に堆積した(図5(a))。引続き、この状態で図1のイオン導入装置を用いて、不純物を導入した。この時、不純物は試料表面から減少する分布をしているが、Co膜66の中に導入されたイオンの量は他の2層のTi膜65、67に導入されたイオン量の合計よりも多かった。

【0035】次に、600-700°Cで10-30秒間ランプアニールを行い、引焼き、試料表面のTiN膜及び未反応のTi膜を除去した。これにより、シリコン基板60上にはCoSi₂が形成され、さらにその表面に薄いTi-Co-Si混合層69が形成されていた(図5(b))。この段階ではまだ、大部分の不純物はシリコン基板60中には拡散していなかった。次に、不純物をシリコン基板60中に拡散するため、800-900°Cで10-60秒間、試料をランプアニールした。これにより拡散層70が形成された(図5(c))。

【0036】その後、層間膜形成、コンタクト開口及び配線層形成の各工程を行い、得られたMOSFETの特性を評価した。図6に、このMOSFETの図5(c)における拡散層の断面の不純物プロファイルを示す。同図に示されたように、Ti-Co-Si層69の表面から約0.1μmの深さに接合ができていたが、シリコン基板表面からは約0.09μmであった。これより、リーク電流等デバイス特性に特に問題のないことが確認された。従って、本実施例の方法を用いることにより、特にシリコン基板上の自然酸化膜の除去に注意を払わなくとも、再現性良くシリコン基板中に不純物を導入できることが確認された。

【0037】また、第2の実施例方法で、Ti膜67を形成後、直ちに不純物導入を行ったが、不純物の導入は600-700°Cの熱処理後に、即ち、Ti-Co-Si膜69を形成した後に行なっても良い。ただし、この場合、Ti-Co-Siの混合層が厚く、且つTiの量が多いと、不純物とTiとの間に反応が生ずるので、不純物が効率的にシリコン基板中に導入されないことがあり、注意が必要である。

【0038】図7(a)及び(b)は夫々、本発明の半導体装置の製造方法の第3の実施例を示すための半導体装置の工程段階毎の断面図である。デバイス作製プロセスは第2の実施例とほぼ同じである。ゲート電極63を形成した後に、混合金属層71を堆積する。この金属層としては、CoとTiが2対1の割合で混合されたものを用いた。膜形成に際して、この割合の合金のターゲットを用い、スパッタリング法により堆積した。この時の膜厚は30nmとした。次に、プラズマを用いて不純物を導入した。その条件は、第1の実施例と同じである。

【0039】次に、600-700°Cで10-60秒間熱処理を行い、CoSi₂層72及びTi-Co層73を形成した。図8(a)及び(b)に、この熱処理前後での各元素の分布を示した。双方の図を比較することにより、熱処理による元素の動作が理解できる。同図(a)に、熱処理前には、CoとTiの割合が2対1であること、シリコン基板表面に酸化膜による酸素が存在することが示されている。同図(b)に、熱処理後にこの酸素がTi膜中に取り込まれ、Ti-Coの相互作用により、シリコン基板上にはCoSi₂が形成され、表面にはTi、

酸素及びSiの混合層が形成されることが示されている。

【0040】上記のように、酸素との反応性が強いTi等の金属を中間層として用いることにより、シリコン基板上の酸素の除去が可能となり、従って、特にその界面制御を必要としない。この段階では、不純物はまだシリコン基板中に拡散しておらず、その後、不純物をシリコン基板中に拡散するために、800-1000°Cで10-60秒間の熱処理を行った。これにより図7に示す拡散層74が形成された。この場合、シリコン基板60上の酸化膜が確実に除去されており、従って不純物の拡散が再現性良く行われ、ドーピング深さ及びドーピング量の再現性が高いことが確認された。

【0041】上記各実施例では、いづれも不純物をまず金属層中に導入し、その後の熱処理でこの金属層をシリサイド化する方法を示した。しかし、これに代えて、金属層中に不純物を導入することなく直ちにシリサイド化し、所望の膜厚のシリサイドを形成した後にそのシリサイド層に不純物を導入し、そこからシリコン基板中に不純物を拡散しても良い。しかし、この方法では、シリサイド層の膜厚が厚い場合には、不純物が十分にシリコン基板中へ導入されないため、その点の注意が必要である。従って、シリサイドの膜厚が特に薄いことが要求される浅いジャンクションを有する微細デバイスに対しては、本発明方法が特に有効である。

【0042】上記各実施例により、プラズマを用いたドーピングあるいはイオンドーピングをシリサイド層又は金属層に対して行なう方法が、将来の微細デバイスにも充分に対応できるシリサイド構造、即ち、pMOS及びnMOS形成領域の双方で同じ膜厚を有するシリサイド層を持つ浅い接合を有するシリサイド構造の形成が可能であることが確認できた。それは通常のイオン注入とは異なり、イオンの加速電圧が5KV以下と小さいこと、低電圧でも装置が安定であることから、不純物を金属層又はそのシリサイドから成る導電層中にのみ導入できた。

【0043】また、その導電層から不純物を基板中へ導入しているために、イオンのノックオン効果によるジャンクションの劣化がないことが確認された。

【0044】第3の実施例により、金属層を2層以上の構造又は混合層とすることで、基板表面の酸化膜が良好に除去できることから、良好なジャンクションが再現性良く形成ができることが確認できた。また、この時、不純物導入前にシリサイド形成を行う、あるいは、金属層中に不純物を導入した後にシリサイド反応を行うことにより、特に不純物の影響を良好に排除できることも確認できた。従って、従来問題となっていたpMOS形成領域

域及びnMOS形成領域の双方でシリサイド層の膜厚が異なる問題を解決することが出来た。

【0044】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によると、浅い拡散層を有するMOSFETについて、その拡散層の厚みを各MOS形成領域間で均一化することが容易であると共に、そのジャンクション特性の低下を再現性よく防止できるので、微細構造の半導体装置を歩留り良く製造できるという効果を奏する。

【0045】また、2層構造又は混合層として構成する金属層を形成する構成を採用すれば、自然酸化膜の形成による影響が低減できるので、上記効果が更に高められる。

【図面の簡単な説明】

【図1】(a)は、本発明の実施例の半導体装置の製造方法を実施するための、プラズマイオンを利用した不純物ドーピング装置、(b)は電源電圧波形。

【図2】本発明の実施例の半導体装置の製造方法を実施するための別の不純物ドーピング装置。

【図3】(a)及び(b)は夫々、本発明の第1の実施例方法で製造された半導体装置の工程段階毎の断面図。

【図4】(a)～(c)は夫々、図3のA-A'、B-B'、及びC-C'断面の不純物プロファイル。

【図5】(a)～(c)は夫々、本発明の第2の実施例方法で製造された半導体装置の工程段階毎の断面図。

【図6】図5の半導体装置における不純物プロファイル。

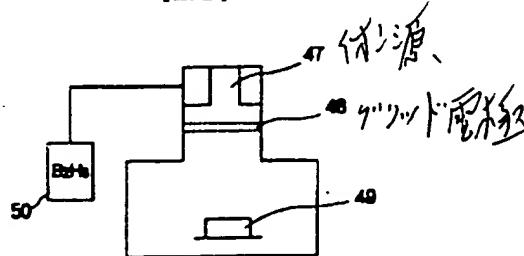
【図7】(a)及び(b)は夫々、本発明の第3の実施例方法で製造された半導体装置の工程段階毎の断面図。

【図8】(a)及び(b)は夫々、図7の半導体装置における不純物プロファイル。

【図9】(a)～(c)は夫々、第1の従来技術の半導体装置の製造方法を示す工程段階毎の半導体装置の断面図。

【図10】(a)及び(b)は夫々、第2の従来技術の半導体装置の製造方法を示す工程段階毎の断面図。

【図2】



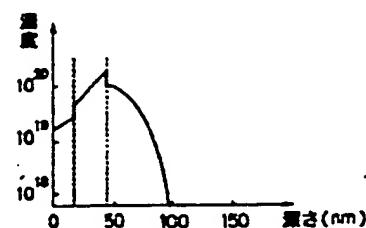
【図11】(a)及び(b)は夫々図10の半導体装置の不純物プロファイル、(c)は製造された半導体装置のジャンクション特性を示すグラフ。

【図12】(a)及び(b)は夫々、第3の従来技術の半導体装置の製造方法を示す工程段階毎の断面図。

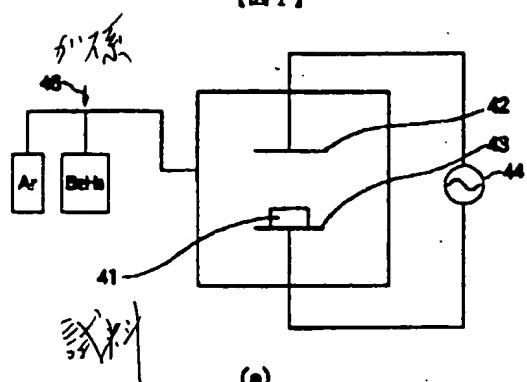
【符号の説明】

1、11、21、50、60	シリコン基板
2、22、51、61	フィールド酸化膜
3、12、23、52、62	ゲート酸化膜
10 4、13、24、53、63	ゲート電極
5、54、64	ナイトウォール
6、26、59	n ⁺ 拡散層
7、29、58	p ⁺ 拡散層
8、65、67	Ti (p ⁺)
9 Ti-シリサイド (n ⁺)	
10 Ti-シリサイド (p ⁺)	
14 金属膜	
15 シリサイド層	
16、70、74	拡散層
20 25 p ⁺ 拡散層	
27、30	Ti-シリサイド
28、31	W-シリサイド
41、49	試料
42 上部電極	
43 下部電極	
44 電源	
45 電源波形	
46、50	ガス系
47 イオン源	
30 48 グリッド電極	
55、66	Co
56	ドーピングイオン
57、68、72	CoSi ₂
69	Ti-Co-Si
71	混合金属層
73	Ti-Co層

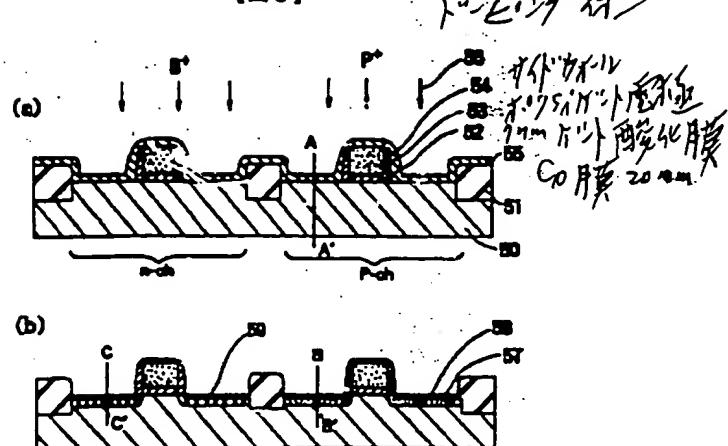
【図6】



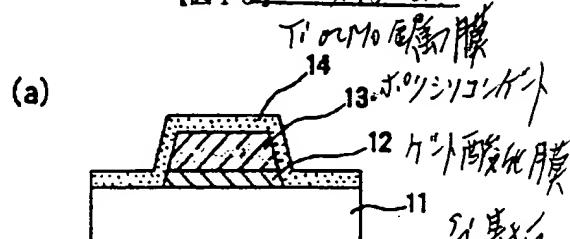
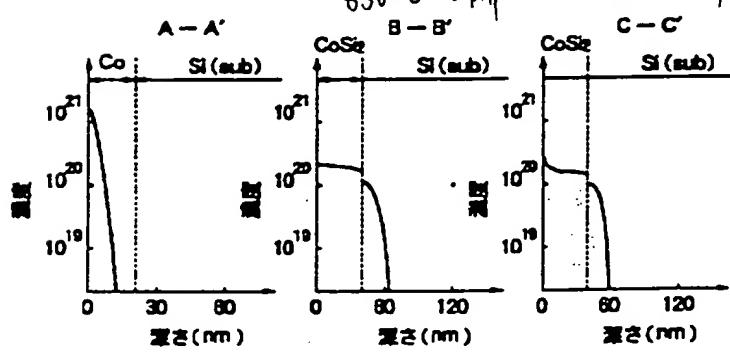
【図1】



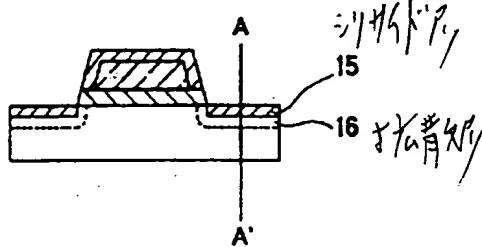
【図3】



【図10】後行程

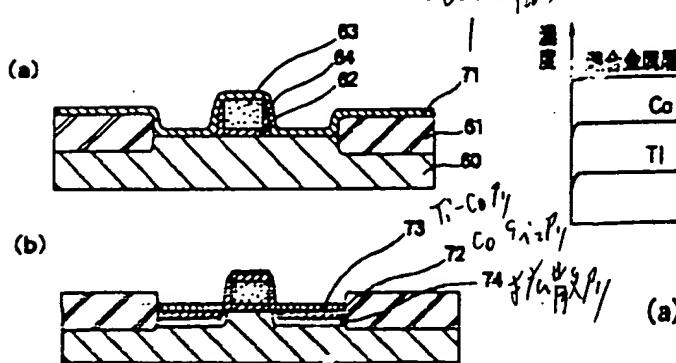
【図4】
850°C・BF4-
B-B'

(b)

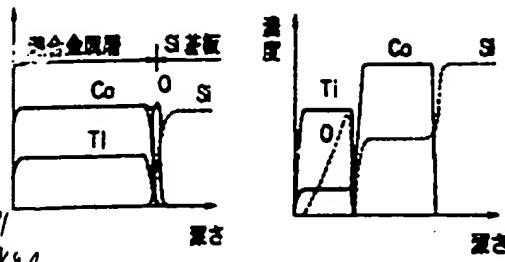


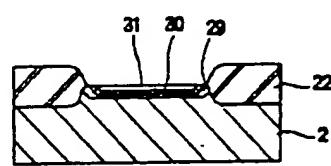
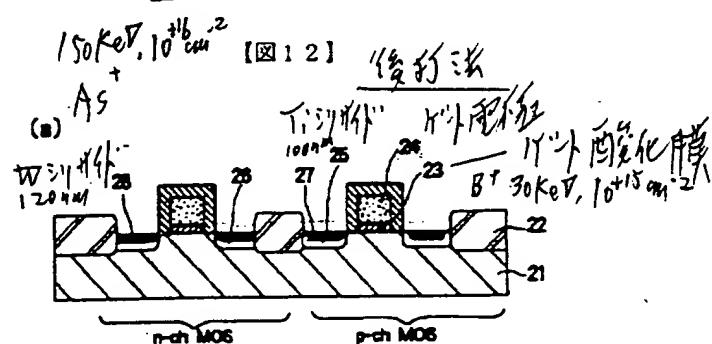
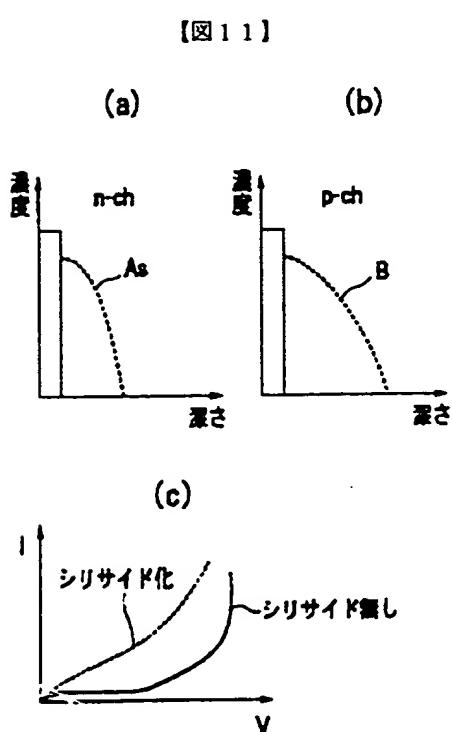
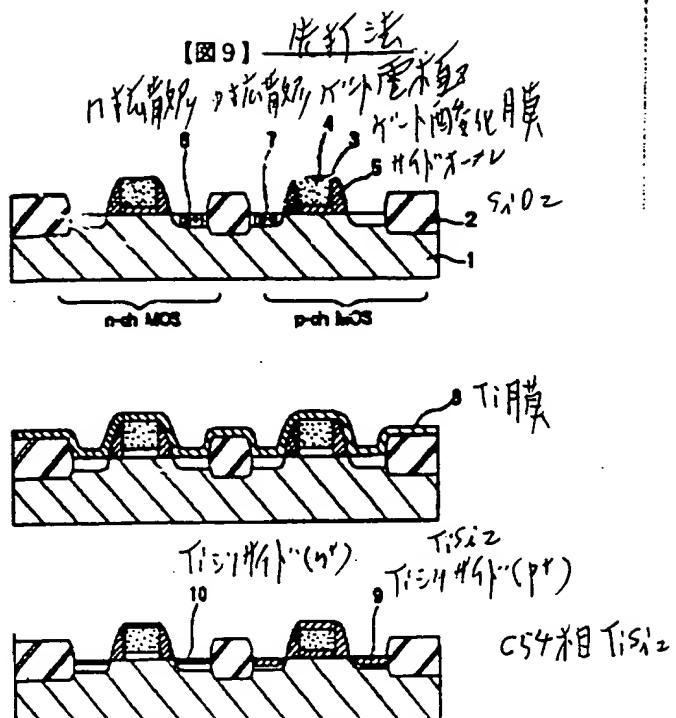
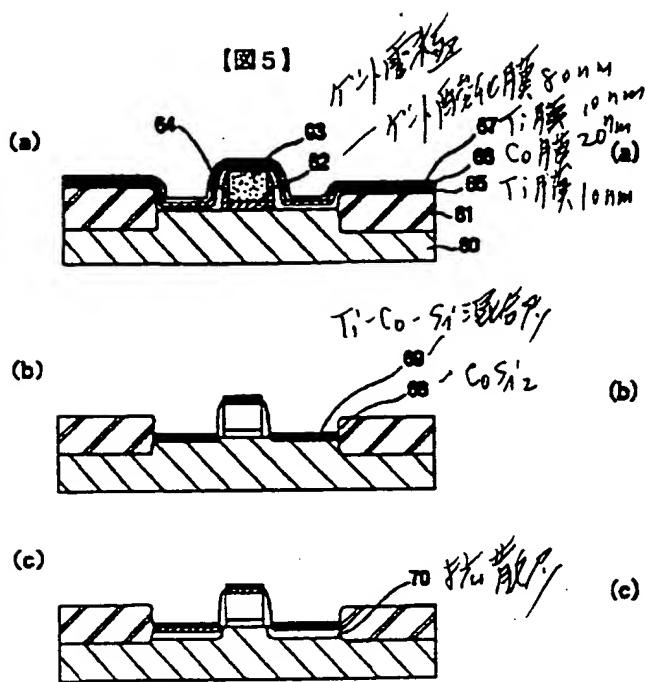
【図7】

スルーパス
Co₂Ti
三層化金属層



【図8】





フロントページの続き

(51) Int. Cl. 6

H 01 L 21/8238
27/092

識別記号 庁内整理番号

F I

技術表示箇所